

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-298051

(43)Date of publication of application : 17.10.2003

(51)Int.Cl.

H01L 29/78  
H01L 21/336  
H01L 29/41  
H01L 29/417

(21)Application number : 2002-381448

(71)Applicant : LEE SOKO

(22)Date of filing : 27.12.2002

(72)Inventor : LEE SOKO

(30)Priority

Priority number : 2002 200205325 Priority date : 30.01.2002 Priority country : KR

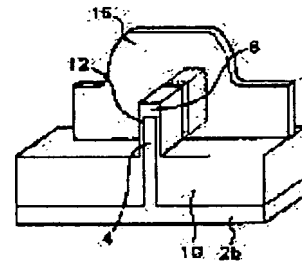
## (54) DOUBLE-GATE FET DEVICE AND MANUFACTURING METHOD OF THE SAME

(57)Abstract:

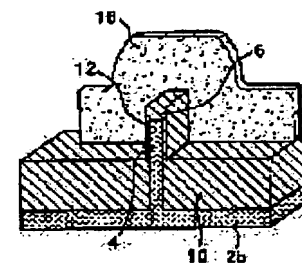
PROBLEM TO BE SOLVED: To provide a double-gate FET device capable of solving floating body effect and improving characteristics of the device, and to provide a manufacturing method of the same.

SOLUTION: An active region 4, which is a single-crystal silicon of fence-like shape, is formed on a bulk silicon board 2b; a second oxidized film 10 is formed from the upper surface of the bulk silicon substrate 2b to a regular height of the active region 4; a gate oxidized film 12 is formed on both sidewalls of the active region 4 formed on the second oxidized film 10; a first oxidized film 6, having a thickness greater than that of the gate oxidized film 12, is formed on the upper surface of the active region 4; a gate 16 is formed on the first and second oxidized films 6 and 10; a source and a drain are formed on both sides of the active region 4, except the active region 4 that overlaps with the gate 16; and a contact region (46) and a metal layer (48) are formed at a contact portion of the source, drain, and gate.

(a)



(b)



## LEGAL STATUS

[Date of request for examination]

27.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-298051

(P2003-298051A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G	4 M 1 0 4
21/336			3 0 1 X	5 F 1 4 0
29/41			3 0 1 Y	
29/417		29/50	M	
		29/44	L	
審査請求 有 請求項の数23 O L (全 14 頁) 最終頁に続く				

(21) 出願番号 特願2002-381448(P2002-381448)

(22) 出願日 平成14年12月27日 (2002. 12. 27)

(31) 優先権主張番号 2 0 0 2 - 0 0 5 3 2 5

(32) 優先日 平成14年1月30日 (2002. 1. 30)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 503011778

李 宗昊

大韓民国大田広域市西区月坪洞 ダモアア

パート101-310

(72) 発明者 李 宗昊

大韓民国大田広域市西区月坪洞 ダモアア

パート101-310

(74) 代理人 100078868

弁理士 河野 登夫 (外1名)

最終頁に続く

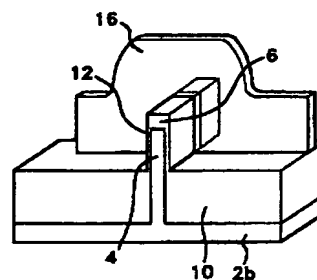
(54) 【発明の名称】 ダブルゲートFET素子及びその製造方法

(57) 【要約】

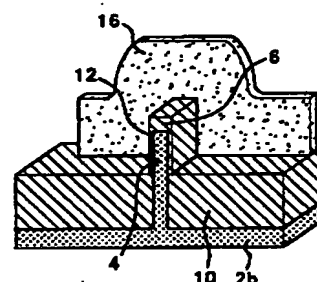
【課題】 フローティングボディーの問題を解決し、素子の特性を向上させることができるダブルゲートFET素子及びその製造方法を提供する。

【解決手段】 バルクシリコン基板2bに単結晶シリコンで塀状のアクティブ領域4を形成し、バルクシリコン基板2bの上表面からアクティブ領域4の一定高さまで第2酸化膜10を形成し、第2酸化膜10の上に形成されたアクティブ領域4の両側壁にゲート酸化膜12を形成し、アクティブ領域4の上表面にゲート酸化膜12以上の厚さの第1酸化膜6を形成し、第1、2酸化膜6、10上にゲート16を形成し、ゲート16に重なるアクティブ領域4を除くアクティブ領域4の両側にソース及びドレインを形成し、ソース、ドレイン及びゲートのコンタクト部にコンタクト領域(46)及び金属層(48)を形成する。

(a)



(b)



## 【特許請求の範囲】

【請求項 1】 バルクシリコン基板と、該バルクシリコン基板に接続され、バルクシリコン基板の上表面に単結晶シリコンで形成された塀状のアクティブ領域と、前記バルクシリコン基板の上表面から前記アクティブ領域の一定高さまで形成された第 2 酸化膜と、該第 2 酸化膜上の前記アクティブ領域の両側壁に形成されたゲート酸化膜と、前記アクティブ領域の上表面に、前記ゲート酸化膜の厚さ以上に形成された第 1 酸化膜と、前記第 1 及び第 2 酸化膜上に形成されるゲートと、前記ゲートと重なる前記アクティブ領域を除く前記アクティブ領域の両側に各形成されたソース及びドレインと、前記ソース、ドレイン及びゲートのコンタクト部に形成されたコンタクト領域及び金属層とを含んでなることを特徴とするダブルゲート FET 素子。

【請求項 2】 前記アクティブ領域の幅が 4 nm～100 nmであることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 3】 前記アクティブ領域の前記バルクシリコン基板の上表面からの高さが 10 nm～1000 nmであることを特徴とする請求項 1 又は 2 に記載のダブルゲート FET 素子。

【請求項 4】 前記アクティブ領域の前記第 2 酸化膜の上表面からの高さが 5 nm～300 nmであることを特徴とする請求項 3 に記載のダブルゲート FET 素子。

【請求項 5】 前記ゲート酸化膜の厚さは 0.5 nm～10 nmであり、前記第 1 酸化膜の厚さは 0.5 nm～200 nmであることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 6】 前記第 2 酸化膜の厚さが 20 nm～800 nmであることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 7】 前記金属層と接触するコンタクト領域をアクティブ領域の幅又はゲートの長さより大きくしてあることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 8】 前記ソース及びドレインは、ゲートと重なるアクティブ領域を除くアクティブ領域の両側に、ゲートと自己整列形態で形成された選択的エピタキシャル層を成長させたものであることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 9】 前記選択的エピタキシャル層は、前記ゲートを  $10^{20} \text{ cm}^{-3}$  以上でドーピングされた状態で湿式酸化し、ゲートの酸化比がアクティブ領域より大きいことを用いて、成長した酸化膜を一部食刻し、アクティブ領域の側壁に露出したシリコンを種子としたものであることを特徴とする請求項 8 に記載のダブルゲート FET 素子。

【請求項 10】 前記選択的エピタキシャル層は、前記ゲートに絶縁膜を形成し、この絶縁膜の厚さと前記第 2

酸化膜上に突出したアクティブ領域の高さだけ異方性食刻し、アクティブ領域とゲートが交差する付近を除く露出したアクティブ領域のシリコンとゲートのポリシリコンを種子としたものであることを特徴とする請求項 8 に記載のダブルゲート FET 素子。

【請求項 11】 前記選択的エピタキシャル層の物質は、単結晶シリコン、単結晶 SiGe、単結晶 Ge、ポリシリコン及びポリ SiGe の中から選択される一つ以上であることを特徴とする請求項 8 ないし 10 のいずれかに記載のダブルゲート FET 素子。

【請求項 12】 前記アクティブ領域に形成されるソース及びドレインのためのドーピングの接合深さが、第 2 酸化膜の上表面を基準にして、上方に 0 nm～50 nmであることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 13】 前記アクティブ領域に形成されるソース及びドレインのためのドーピングの接合深さが、第 2 酸化膜の上表面を基準にして、前記バルクシリコン基板側に 0 nm～50 nmであることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 14】 前記アクティブ領域の幅がバルクシリコン基板に近くなるほど第 2 酸化膜内で大きくしてあることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 15】 前記アクティブ領域は、上部の幅は小さく、下部の幅は大きいくさび形であることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 16】 前記アクティブ領域の両側上部角部が、酸化工程、食刻工程又は水素雰囲気でのアニーリングにより丸く形成されることを特徴とする請求項 1 に記載のダブルゲート FET 素子。

【請求項 17】 バルクシリコン基板に単結晶シリコンで塀状のアクティブ領域を形成する工程と、前記バルクシリコン基板の上表面からアクティブ領域の一定高さまで第 2 酸化膜を形成する工程と、前記第 2 酸化膜上に形成されたアクティブ領域の両側壁にゲート酸化膜を形成する工程と、前記アクティブ領域の上表面にゲート酸化膜の厚さ以上の第 1 酸化膜を形成する工程と、前記第 1、2 酸化膜上にゲートを形成する工程と、前記ゲートに重なるアクティブ領域を除くアクティブ領域の両側にソース及びドレインを形成する工程と、前記ソース、ドレイン及びゲートのコンタクト部にコンタクト領域及び金属層を形成する工程とを含んでなることを特徴とするダブルゲート FET 素子の製造方法。

【請求項 18】 前記アクティブ領域及び第 2 酸化膜を形成する工程は、前記バルクシリコン基板の上表面にホトリソグラフィを行う工程と、前記アクティブ領域を除くバルクシリコン基板の残りの

## 3

上表面に第 2 酸化膜を形成し、前記第 2 酸化膜をケミカルメカニカルポリッシングを用いて平坦化した後、アクティブ領域の上表面から下方に適正の厚さだけ食刻する工程とを含むことを特徴とする請求項 17 に記載のダブルゲート FET 素子の製造方法。

【請求項 19】 前記アクティブ領域及び第 2 酸化膜を形成する工程は、

第 2 酸化膜を形成し、ホトリソグラフィにより前記第 2 酸化膜に幅の小さいトレンチを形成してトレンチの底がバルクシリコン基板まで接するようにし、トレンチの底に露出したバルクシリコン基板のシリコンを種子として選択的エピタキシャル層を成長させる工程と、前記第 2 酸化膜を適正の厚さだけ食刻する工程とを含むことを特徴とする請求項 17 に記載のダブルゲート FET 素子の製造方法。

【請求項 20】 前記第 2 酸化膜を形成する工程はフィールド酸化膜を形成する工程を含み、

前記アクティブ領域を形成する工程は、前記バルクシリコン基板上にホトリソグラフィを行い、その上部に第 1 酸化膜／窒化膜／第 3 酸化膜を順次形成し、前記第 3 酸化膜／窒化膜／第 1 酸化膜とバルクシリコン基板のシリコンを食刻する工程を含み、

前記フィールド酸化膜を形成する工程は、前記バルクシリコン基板及びアクティブ領域にバッファ酸化膜／酸化防止用窒化膜／スペーサを形成して食刻を行い、これにより露出した前記バルクシリコン基板のシリコンを食刻し、前記スペーサを除去した状態でバルクシリコン基板を熱酸化させてフィールド酸化膜を成長させた後、バッファ酸化膜と酸化防止用窒化膜を除去する工程を含むことを特徴とする請求項 17 に記載のダブルゲート FET 素子の製造方法。

【請求項 21】 前記スペーサの物質はポリシリコン又は非晶形シリコンであることを特徴とする請求項 20 に記載のダブルゲート FET 素子の製造方法。

【請求項 22】 前記ゲート酸化膜を形成する前に、突出したアクティブ領域の側壁を清浄化し、先行工程による損傷を除去するため、犠牲酸化膜を成長させてから除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことを特徴とする請求項 17 に記載のダブルゲート FET 素子の製造方法。

【請求項 23】 前記ゲートを形成する工程は、ポリシリコン、ポリ SiGe 及び金属のいずれかで層を形成し、この層にホトリソグラフィを行う工程を含むことを特徴とする請求項 17 に記載のダブルゲート FET 素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はダブルゲート FET 素子及びその製造方法に係り、より詳しくはバルクシリコン基板を用いるが、チャンネルが形成されるボディと

## 4

なるシリコンのアクティブ領域がナノ (nm) 大きさの幅を有するようにし、基板に接続されるようにし、電流が流れる長い方向に塀状に形成することにより、電氣的に安定したダブルゲート FET 素子及びその製造方法に関する。なお、本発明のダブルゲート FET 素子は塀状 (又はフィン (Fin) 状) に形成したアクティブ領域を有することからダブルゲートフィン (Fin) FET 素子と呼ぶこともできるが、以下単に「ダブルゲート FET 素子」又は「FET 素子」という。

10 【0002】

【従来の技術】 ナノ CMOS 素子技術は CPU のようなロジック回路とメモリ技術に適用されると驚くべき付加価値を創出し得る特性を持っているので、現在全世界的に研究が非常に活発に進んでいる。シリコン半導体技術を用いるシステムの大きさが小さくなり、低消費電力を要求するにつれて、素子の大きさもそれに伴って小さくすることが求められている。

20 【0003】 これに対応し得る、最高の競争力を有する素子技術が CMOS 素子技術である。この素子のゲートの大きさは現在継続的に縮小しているが、それに伴う問題が発生している。最も重大な問題は、いわゆる短チャンネル効果 (Short Channel Effect) である。

30 【0004】 従来の CMOS 技術は主としてバルクシリコン基板で行われてきた。バルクシリコンで作られた MOS 素子は、ゲート長さが 50 nm 以下に縮小するにつれて、工程条件が非常に敏感に MOS 素子の特性に影響を及ぼし、チャンネル長さが 30 nm 付近では MOS 素子の性能が実際の回路に適用するには未だ十分でない。例えば、インテル社 (Intel) で開発した 30 nm CMOS 素子は、ゲート長さは 30 nm であるが、I-V 特性が従来のものに比べて優れているとはいえない。また、実際に、一つの素子が占有する面積はゲートの傍に形成された縮小されないスペーサ領域のため、従来に比べて減っていないため、集積度を改善する余地が少ない。

40 【0005】 これらバルクシリコン基板を根幹とする MOS 素子技術に限界が生じるにつれて、30 nm 以下のチャンネル長さを有する素子を具現するため、SOI (Silicon On Insulator) シリコン基板を根幹とする素子に対する研究が活発に進んでいる。

50 【0006】 従来のバルクシリコン基板で製作した素子構造をそのまま SOI シリコン基板で製作してその特性を分析した研究が多く進められてきたが、シリコンフィルムの厚さが薄いことから、寄生ソース抵抗及び寄生ドレイン抵抗が相当増加するため、ソース及びドレイン領域に選択的にエピタキシャル層 (エピタキシャル層) を成長させなければならない。また、素子のボディが SOI 素子の特性上から SOI シリコン基板に接続されていないため、フローティングボディ効果と熱伝導不良のため、素子の性能が低下する問題がある。

【0007】このように、従来の構造をSOI基板に具現したものは、バルク基板に具現した素子に比べてスケールダウン特性があまり改善しないことから、CMOS素子のチャンネル長さを25nm又はそれ以下まで減らすための最適の素子構造としてダブルゲートFET素子(構造)が登場した。ダブルゲートFET素子は、電流が流れるチャンネルの上下あるいは左右にゲート電極が存在して、ゲート電極によるチャンネルの制御特性を大きく改善することができる。

【0008】ゲートによるチャンネルの制御特性が大きい場合、ソースとドレイン間の漏洩電流を従来の単一ゲート素子に比べて大きく改善することができ、究極にはDIBL(Drain Induced Barrier Lowering)特性を大きく改善することができる。また、チャンネル両側にゲートが存在して素子のスレショルド電圧を動的に変化させることができるので、チャンネルのオン・オフ特性が従来の単一ゲート構造に比べて大きく改善され、短チャンネル効果を抑制することができる。

【0009】

【特許文献1】米国特許第6433609号明細書

【特許文献2】米国特許第6413802号明細書

【特許文献3】米国特許第6391782号明細書

【特許文献4】米国特許第6391695号明細書

【0010】

【発明が解決しようとする課題】図1は従来のダブルゲート構造において、電流が流れるチャンネルの方向を100ウェーハ表面を基準として簡略に示す斜視図である。ここで、ゲート32はボディ(又はチャンネル)34の左右又は上下に設けられる。同図(a)は方向100ウェーハの面に垂直に形成され、ソース及びドレインが上下に形成される一種の3次元素子を示すものであり、電流は上下に流れる。(b)は方向100ウェーハの面に平行な面にチャンネル34が設けられ、そのチャンネルの上下にゲート32が設けられる標準ダブルゲートMOS素子の構造を示すものであり、電流は結晶方向100の面に沿って流れる。(c)は方向100ウェーハの面に垂直に形成された面にチャンネル34が設けられ、(a)と異なりソース及びドレイン領域が上下に形成されないから、100ウェーハ面に平行な方向に電流が流れる。

【0011】図2は従来のFET素子の要部構造を示すもので、半透明とハッチングにより示す斜視図である。ここで、配線のための金属層は省略している。図において(a)と(b)は同一構造を示すもので、(a)は半透明で、(b)はハッチングで示す。これらは図1

(c)に相当する構造及び電流方向を持っている。チャンネルの両側(又は上下)にゲート16を設けて、いわゆる短チャンネル効果を著しく改善することができる。符号2aはSOIシリコン基板、6、10は酸化膜、12はゲート酸化膜である。

【0012】図1(b)(c)の特徴を有するダブルゲートFET素子を実現するための方法を詳細に説明するとつぎのようである。その具現方法は大きく二通りがある。まず、一つ目は、図1(b)に示すように、電流がウェーハの表面方向と同方向である水平方向に流れる構造である。この構造は、従来の場合のようにチャンネル34がシリコンの結晶方向100に形成されるので、従来の構造に比べてSi-SiO<sub>2</sub>界面特性が低下しない。図1(b)のダブルゲートFET素子は、チャンネル34の上下にゲート32が存在する。この素子の構造はボディシリコン領域のフィルム厚さを薄くて均一に制御して製作することができる。

【0013】チャンネル34の上下にゲート32を形成するためには、MEMS(Micro Electro-Mechanical System)技術を用いるウェーハボンディングとエッチバック(etch-back)工程を行わなければならないので、工程が多少複雑になる。チャンネル34の上下にゲート32を有する図1(b)の素子において、自己整列型にゲート32を構成するための研究が多く進んでいる

が、これらは材料及び工程の面で複雑さを誘発する。また、素子のスケールダウン特性を改善するためには、チャンネルシリコンフィルムの厚さを20nm又はそれ以下に減らさなければならない。

【0014】このように、20nm以下の厚さを有するシリコンフィルムをチャンネル及びソース及びドレイン領域としてそのまま使うと、素子の短チャンネル効果を改善することができるが、ソース及びドレインでの寄生抵抗を大幅に増加させて素子の特性を低下させることになる。結局、自己整列型を具現し、ソース及びドレイン抵抗を減らすためには、工程の複雑さを甘受しなければならない。

【0015】二つ目、ダブルゲートMOSを具現するための他の方法は、図1(c)に示すように、チャンネル34の両側(左右)にゲート32を設けて素子を製作する方法である。図1(c)のMOS素子は“フィン(Fin)FET”と呼ばれる。図1(c)のダブルゲートFET素子は、SOI素子技術において、チャンネルとなる領域34の幅を、ナノメートル(およそ50nm以下)にパターンを形成し、食刻し、ゲート物質(ゲート材料)を蒸着すると、食刻されたチャンネルパターンの両側壁が主チャンネル領域となることを用いるものである。この構造においては、電流が流れるチャンネル34がウェーハ表面に垂直に形成され、これに沿って電流が流れる。前記構造を具現する工程は、ゲート32が上下にある構造に比べて工程が大きく単純化される特徴がある。しかし、表面が100であるシリコン基板に垂直に形成されたフィルムの側面に電流が流れるチャンネル34が形成されるため、チャンネルの結晶方向は通常110となり、従来の100界面に比べて界面特性に劣る。これを解決するには、ウェーハの一次平坦区域に対し4

5° の方向にチャンネルを形成すれば、結晶方向 100 シリコン面にチャンネルを形成することができる。

【0016】チャンネルのシリコン領域はナノパターンニング技術によって定義されるので、上下にゲートがあるダブルゲート FET 素子（図 1（b））に比べてチャンネルが形成されるボディ幅の変化が相対的に大きくて素子特性の偏差が相対的に大きく生じることがありうるが、基本的にゲート 32 がチャンネル 34 の両側面に自己整列型に形成される特徴がある。しかし、ソース及びドレインはボディ領域と同一のナノ幅を有するため、寄生ソース抵抗及び寄生ドレイン抵抗が増加し素子の電流駆動能力が下がる。

【0017】これを解決するため、ソース及びドレインとなる領域に自己整列でない形態に多結晶シリコンあるいは SiGe 層を蒸着しパターンニングする工程を追加して寄生抵抗を減らそうとする試みが発表されたが、その効果は大きくないし、製造工程の変更をしても、結局小さい幅を有するチャンネルとソース及びドレイン領域間の寄生抵抗を減らすことはできなかった。すなわち、SOI シリコン基板 2a に形成された従来のダブルゲート FET 素子は、ウェーハの価格がバルクウェーハに比べて遥かに高く、寄生ソース抵抗及び寄生ドレイン抵抗が増加する問題があった。

【0018】また、図 2 において、素子のチャンネルが形成されるボディ 34 が SOI 素子の特性上、SOI シリコン基板 2a に接続されていないため、フローティングボディの問題を持っており、また、SOI シリコン基板 2a に形成された酸化膜 10 が、素子から発生した熱が SOI シリコン基板 2a に伝導されることを遮断するため、素子の性能が低下する。

【0019】本発明は上述した問題点を解決するためになされたもので、バルクウェーハを用いて低廉にゲートと自己整列されるようにソース及びドレインにエピタキシャル層を成長させて寄生抵抗成分を減らすことができ、シリコン構造物であるアクティブ領域はチャンネルが形成されるボディであって、バルクシリコン基板に接続されることにより、フローティングボディの問題を解決することができるとともに、熱伝導性が良くて素子の特性を向上させることができるダブルゲート FET 素子及びその製造方法を提供することにその目的がある。

【0020】

【課題を解決するための手段】前記目的を達成するため、本発明は、バルクシリコン基板と、該バルクシリコン基板に接続され、バルクシリコン基板の上表面に単結晶シリコンで形成された塀状のアクティブ領域と、前記バルクシリコン基板の上表面から前記アクティブ領域の一定高さまで形成された第 2 酸化膜と、該第 2 酸化膜上の前記アクティブ領域の両側壁に形成されたゲート酸化膜と、前記アクティブ領域の上表面に、前記ゲート酸化膜の厚さ以上に形成された第 1 酸化膜と、前記第 1 及び

第 2 酸化膜上に形成されるゲートと、前記ゲートと重なる前記アクティブ領域を除く前記アクティブ領域の両側に各形成されたソース及びドレインと、前記ソース、ドレイン及びゲートのコンタクト部に形成されたコンタクト領域及び金属層とを含んでなるダブルゲート FET 素子を提供する。

【0021】また、前記目的を達成するため、本発明は、バルクシリコン基板に単結晶シリコンで塀状のアクティブ領域を形成する工程と、前記バルクシリコン基板の上表面からアクティブ領域の一定高さまで第 2 酸化膜を形成する工程と、前記第 2 酸化膜上に形成されたアクティブ領域の両側壁にゲート酸化膜を形成する工程と、前記アクティブ領域の上表面にゲート酸化膜の厚さ以上の第 1 酸化膜を形成する工程と、前記第 1、2 酸化膜上にゲートを形成する工程と、前記ゲートに重なるアクティブ領域を除くアクティブ領域の両側にソース及びドレインを形成する工程と、前記ソース、ドレイン及びゲートのコンタクト部にコンタクト領域及び金属層を形成する工程とを含んでなるダブルゲート FET 素子の製造方法を提供する。

【0022】

【発明の実施の形態】以下、本発明を添付図面に基づいて詳細に説明する。図 3 は本発明による FET 素子の要部構造を示すもので、半透明とハッチングにより示す斜視図である。同図に示すように、本発明によるダブルゲート FET 素子は、バルクシリコン基板 2b と、バルクシリコン基板 2b に接続され、バルクシリコン基板 2b の上表面（の図上中央）に単結晶シリコンで形成された塀状のアクティブ領域 4 と、バルクシリコン基板 2b の表面からアクティブ領域 4 の一定高さまで形成された第 2 酸化膜 10 と、第 2 酸化膜 10 より上のアクティブ領域 4 の両側壁に形成されたゲート酸化膜 12 と、アクティブ領域 4 の上表面に、ゲート酸化膜 12 の厚さ以上に形成された第 1 酸化膜 6 と、第 1 及び第 2 酸化膜 6、10 上に形成されるゲート 16 と、ゲート 16 と重なるアクティブ領域 4 を除くアクティブ領域 4 の両側に各形成されたソース及びドレインと、ソース及びドレイン、ゲート 16 のコンタクト部に形成されたコンタクト領域 46 及び金属層 48（図 6（c）（d）参照）とからなる。

【0023】図 3 において、第 2 酸化膜 10 の厚さを 20 nm～800 nm にすることで、ゲート 16 とバルクシリコン 2b 間の寄生容量成分を減らすことができる。金属層 48 と接触する（接続される）コンタクト領域 46 をアクティブ領域 4 の幅又はゲート 16 の長さ（チャンネル長さ）より大きくすることにより、素子の集積度を改善し、コンタクト抵抗を減らすことができる。アクティブ領域 4 の幅を一定にしないで、バルクシリコン基板 2b に近くなるにつれて、第 2 酸化膜 10 内で広くなるようにしてアクティブ領域 4 の抵抗を減らすことがで

きる。すなわち、アクティブ領域 4 が上部の幅は小さく、下部の幅は広くさび形に構成することができる。また、アクティブ領域 4 の二つの上部角部を 900℃以上での酸化工程、食刻工程、又は水素雰囲気でのアニーリング工程により丸く形成して、素子耐久性を向上させることができる。ゲート 16 を構成する物質としては、ポリシリコン、ポリ SiGe、金属を使うことができる。

【0024】図 3 は配線のための金属層は除いて要部のみを示すもので、同一構造を (a) は半透明で、(b) はハッチングで示している。図 2 と相違する点は、アクティブ領域 4 がフローティングされず、バルクシリコン基板 2b に接続されており、これにより特性が著しく改善されるというものである。すなわち、チャンネルが形成されるボディがバルクシリコン基板 2b に接続されるので、既存の SOI シリコン基板 2a に形成された素子が有するフローティングボディの問題がなく、素子のチャンネルで生成する熱が既存の構造に比べて一層容易にシリコン基板 2b に伝達され放出できる。

【0025】図 4 は図 3 (a) の斜視図及びそのパターンを示す平面図である。図 5 は本発明の他の実施例による FET 素子構造を示す斜視図及びそのパターンを示す平面図である。図 4 (a) は本発明による構造を示すものであって、図 3 (a) と同一構造を有するもので比較のために示したものであり、図 5 (a) は、図 4 (a) の構造において、寄生ソース抵抗及び寄生ドレイン抵抗を減らすための選択的エピタキシャル層 18 を提供したものを示す。図 4 (a) と図 5 (a) は配線のための金属層は除き、要部のみを示すものであり、図 4 (b) 及び図 5 (b) はそれぞれ平面図を示す。

【0026】図 4 (b) において、ゲート 16 が重なっていないアクティブ領域 4 にソース及びドレイン領域が形成される。アクティブ領域 4 において、ソース及びドレインが形成される場所にコンタクトが形成され、金属線が接続される部分はチャンネルと同一幅の構造であるため、寄生ソース抵抗及び寄生ドレイン抵抗をかなり増加させる欠点があるので、図 5 b に示すように選択的エピタキシャル層 18 を形成して寄生抵抗成分を減らす。

【0027】つぎに、FET 素子のソース及びドレイン領域にだけ選択的エピタキシャル層 18 を成長させる過程を説明する。まず、FET 素子の構造が、ゲート 16 の形成までなされているものとする。チャンネルのドーピング ( $\sim 10^{18} \text{ cm}^{-3}$ ) に対し、ゲート 16 が  $10^{20} \text{ cm}^{-3}$  以上にドーピングされている状態で、5 nm $\sim$ 20 nm の範囲で湿式酸化させると、ゲート 16 にはドーピングの影響により 3 $\sim$ 5 倍くらい厚く酸化膜が成長する。この成長した酸化膜を、チャンネルに形成された酸化膜の厚さを基準に (再度) 食刻すると、アクティブ領域 4 の側壁に形成された酸化膜がなくなり、アクティブ

領域 4 のシリコンが露出される。この際、相対的に厚く酸化膜が成長したゲート 16 は依然として酸化膜に覆われている。

【0028】ソース及びドレインのアクティブ領域 4 の側壁に露出されたシリコンを種子 (seed) として選択的エピタキシャル層 18 を成長させる。場合によっては、アクティブ領域 4 の側壁及び上表面にシリコンが露出し、それを種子として選択的エピタキシャル層 18 を成長させることもできる。ここで、成長される選択的エピタキシャル層 18 としては、単結晶シリコン、単結晶 SiGe、単結晶 Ge、ポリシリコン、ポリ SiGe が用いられる。

【0029】図 4 (a) 及び図 5 (a) において、アクティブ領域 4 に一点鎖線で示したものはソース及びドレインの接合深さを示す。同図から、接合深さが第 2 酸化膜 10 の上表面より上部に位置していることがわかるが、これは接合深さを調節して短チャンネル効果を制御するためである。第 2 酸化膜 10 の上表面を基準 (0 nm) にしたとき、ソース及びドレイン接合深さが上方に、つまり 0 nm $\sim$ 50 nm の範囲にすると、短チャンネル効果を抑制することができる。反対に、接合深さを下方に、つまり、0 nm $\sim$ -50 nm の範囲にすると、短チャンネル効果よりは電流駆動能力を増加させる効果をもたらす。

【0030】図 5 (a) において、選択的エピタキシャル層 18 を成長させる他の例を説明する。工程の手順において、ゲート 16 まで形成した後、絶縁膜を 5 nm $\sim$ 100 nm の厚さで形成 (例えば蒸着) し、形成 (蒸着) した厚さと第 2 酸化膜 10 の上部に突出したアクティブ領域 4 の高さに相当する厚さの分、異方性食刻すると、ゲート 16 と (ソース及びドレインの) アクティブ領域 4 とが交差する付近にだけ絶縁膜が形成され、他の部分は露出される。露出したアクティブ領域 4 のシリコン領域とゲート 16 のポリシリコン領域を種子として選択的エピタキシャル層 18 を 5 nm $\sim$ 100 nm の範囲の所定値 (一値) まで成長させる。すると、選択的エピタキシャル層 18 がソース及びドレイン領域にも成長し、露出したポリシリコン又は SiGe のゲート 16 にも成長する。ソース及びドレイン領域に成長した選択的エピタキシャル層 18 とゲート 16 に成長した選択的エピタキシャル層は電気的に絶縁されている。

【0031】図 6 は図 4 (a) に示す構造を具現するためのマスキング過程を示す平面図である。同図 (a) はアクティブ領域 4 を具現するためのものであり、(b) はゲート 16 を具現するためのものである。(c) はソース、ドレイン及びゲートへのコンタクトのためのコンタクト領域 46 を示し、(d) は配線のための金属層 48 がコンタクト領域 46 に接続され金属配線された状態を示す。なお、上述したとおり、金属層 48 と接触するコンタクト領域 46 をアクティブ領域 4 の幅又はゲート

16の長さ(チャンネル長さ)より大きくすることにより、コンタクト抵抗を減少させることができる。

【0032】図7は図4の斜視図での平面図及びチャンネルを中心に水平と垂直方向に切断した断面図である。図7(a)は図4の斜視図での平面図であり、(b)は(a)における矢符AA'(水平方向)での断面を、(c)は(a)における矢符BB'(垂直方向)での断面を示す。ソース及びドレイン領域は幅の小さいアクティブ領域4と同一幅を有するため、抵抗が高い。中央上端に表示されたコンタクト領域46は金属層48とアクティブ領域4に形成されたソース及びドレインとを電氣的に接続するのに使われる。

【0033】図8は図5の斜視図での平面図及びチャンネルを中心に水平と垂直方向に切断した断面図である。図8(a)は図5の斜視図での平面図であり、(b)は(a)における矢符AA'(水平方向)での断面を、(c)は(a)における矢符BB'(水平方向)での断面を、(d)は(a)における矢符CC'(垂直方向)を示す。即ち、図8は本発明による図5の構造において、ソース及びドレインのアクティブ領域4に選択的エピタキシャル層18を成長させた構造を、チャンネルを中心に水平方向及び垂直方向に切断した断面を示す。(c)を見れば、アクティブ領域4の露出した両側壁に選択的エピタキシャル層18が形成されたことが分かる。選択的エピタキシャル層18はアクティブ領域4の両側壁だけでなく、アクティブ領域4の上表面にも成長させることができる。ソース及びドレイン領域は、アクティブ領域4(のチャンネル部分)と異なり、選択的エピタキシャル層18の形成により、幅が広がるので寄生抵抗(ソース抵抗及びドレイン抵抗)を低くできる。(a)の図上中央上端、下端に表示されたコンタクト領域46は金属パターン48とアクティブ領域4に形成されたソース及びドレインを電氣的に接続するのに使われる。以下の説明においては、本発明の構造のチャンネルが形成されるボディを示すため、三次元で示さず、要部であるチャンネルとゲート16が交差する部分を二次元で示す。前記ソース及びドレインは、ゲートと重なるアクティブ領域を除くアクティブ領域の両側に、ゲートと自己整列形態で形成されるので、寄生抵抗を低減できる。

【0034】(第1実施例)図9は本発明の第1実施例によりFET素子のボディ構造を具現する工程を示す断面図である。ここでは、ケミカルメカニカルポリッシング(Cheical Mechanical Polishing)(以下CMP)を導入して本発明によるFET素子を具現する主要工程を二次元断面で示す。同図(a)は、バルクシリコン基板2bに第1酸化膜6を形成し、ナノパターニングを行った後、第1酸化膜6とバルクシリコン基板2bのシリコンとを食刻したものを示す。この工程において、チャンネル用のフィン(Fin)がバルクシリコン基板2bに接続されるアクティブ領域4と合せて形成され

る。この際、第1酸化膜6の厚さは0.5nm~200nmであり、アクティブ領域4の高さは10nm~1000nmであり、幅は4nm~100nmである。

【0035】同図(b)は、(a)で形成された構造に第2酸化膜10を20nm~1000nmの厚さに、好ましくは20nm~800nmの厚さに形成し、CMPにより食刻した断面を示す。(c)は、(b)で形成された第2酸化膜10を10nm~300nmの厚さに食刻した断面を示す。結局、第2酸化膜10上に突出したアクティブ領域4の高さは5nm~300nmとなる。

(d)は、形成されたアクティブ領域4にゲート酸化膜12を0.5nm~10nmの厚さに成長させた断面を示す。ゲート酸化膜12を形成する前、突出したアクティブ領域4の側壁を清浄化し、以前の先行工程による損傷を除去するため、犠牲酸化膜を成長させて除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことが好ましい。以後の後続工程において、ゲート物質としてポリシリコン( $p^+$ 又は $n^+$ ドーピング)、SiGe( $p^+$ 又は $n^+$ ドーピング)又は金属を用いて層を形成し、ホトリソグラフィ(photolithography)によりゲート16を具現する。その後、表面に適宜の酸化膜を形成し、適切な熱処理工程を行い、また、必要に応じて酸化膜は蒸着する。そして、コンタクト領域46のためのホトリソグラフィを行う。ソース及びドレインと電氣的に接続される配線のための金属層48を蒸着し、ホトリソグラフィにより金属配線を形成する。

【0036】(第2実施例)図10は本発明の第2実施例によりFET素子のボディ構造を具現する工程を示す断面図である。FET素子のチャンネルが形成されるボディを具現するための第2実施例を示すもので、CMPを導入して具現する主要工程を示す。同図(a)は、バルクシリコン基板2bとアクティブ領域4に第1酸化膜6と窒化膜14を形成し、ナノパターニングを行った後、第1酸化膜6と窒化膜14、そしてシリコンを食刻したものを示す。窒化膜14はCMPのエッチストッパーとして用いられ、その厚さは10nm~200nmである。バルクシリコン基板2bに接続されるチャンネル用のフィン(Fin)がアクティブ領域4と合せて形成される。ここで、第1酸化膜6の厚さは0.5nm~2000nmであり、アクティブ領域4の高さは10nm~1000nmである。(b)は、(a)で形成された構造に第2酸化膜10を20nm~1000nmの厚さに、好ましくは20nm~800nmの厚さに形成し、CMPにより食刻した断面を示す。

【0037】同図(c)は、(b)で形成された第2酸化膜10を10nm~300nmの厚さに食刻した断面を示す。結局、第2酸化膜10上に塀状に突出したアクティブ領域4の高さは5nm~300nmとなる。

(d)は、形成されたアクティブ領域4にゲート酸化膜12を0.5nm~10nmの厚さに成長させた断面を

10

20

30

40

50



示す。ゲート酸化膜 12 は窒化膜 14 を除去した後に成長させることもできる。ゲート酸化膜 12 を形成する前、突出したアクティブ領域 4 の側壁を清浄化し、先行工程による損傷を除去するため、犠牲酸化膜を成長させて除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことが好ましい。以後の後続工程において、ゲート物質としてポリシリコン ( $p^+$ 又は $n^+$ ドーピング)、ポリ SiGe ( $p^+$ 又は $n^+$ ドーピング) 又は金属で層を形成し、ホトリソグラフィによりゲート 16 を具現する。その後、表面に適宜の酸化膜を形成し、適切な熱処理工程を行い、また、必要に応じて酸化膜は蒸着する。そして、コンタクト領域 46 のためのホトリソグラフィを行う。ソース及びドレインと電気的に接続される配線のための金属層 48 を蒸着し、ホトリソグラフィにより金属配線を形成する。

【0038】(第3実施例) 図 11 は本発明の第3実施例により FET 素子のボディ構造を具現する工程を示す断面図である。ここでは、選択的エピ成長法によりチャンネルを形成して具現する主要工程を示す。同図 (a) は、バルクシリコン基板 2b に厚さ 20 nm ~ 1000 nm の第2酸化膜 10 を形成し、ナノパターニング (ナノメートルサイズのパターニング) を行った後、第2酸化膜 10 を食刻したものとする。第2酸化膜 10 での食刻された幅は 4 nm ~ 100 nm であり、深さは 10 nm ~ 1000 nm である。食刻された一種の酸化膜トレンチの底に露出したバルクシリコン基板 2b のシリコン領域を種子とし、選択的エピ成長法で適当な高さの選択的エピタキシャル層を成長させて塀状のアクティブ領域 4 を形成する。前記アクティブ領域 4 上に 0.5 nm ~ 200 nm の第1酸化膜 6 を形成し、その上に 10 nm ~ 200 nm の窒化膜 14 を形成する。CMP 又は乾式食刻により、窒化膜 14 と第1酸化膜 6 を形成厚さの分食刻すると、(b) に示すような断面を有することになる。

【0039】同図 (c) は、第2酸化膜 10 を 10 nm ~ 300 nm の厚さに食刻した断面を示す。結局、第2酸化膜 10 上に突出したアクティブ領域 4 の高さは 5 nm ~ 300 nm となる。(d) は、形成されたアクティブ領域 4 にゲート酸化膜 12 を成長させた断面を示す。ゲート酸化膜 12 は窒化膜 14 を除去した後に成長させることもできる。ゲート酸化膜 12 を形成する前、突出したアクティブ領域 4 の側壁を清浄化し、先行工程による損傷を除去するため、犠牲酸化膜を成長させて除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことが好ましい。以後の後続工程は図 9 (d) 又は図 10 (d) に示すものと同一である。

【0040】(第4実施例) 図 12 は本発明の第4実施例により FET 素子のボディ構造を具現する工程を示す断面図である。ここでは、CMP を使用する代わりにフ

する方法、すなわち、スペーサ酸化膜 26 の形成とフィールド酸化膜 28 の成長技術を導入して具現する方法の主要工程を示す。同図 (a) に示すように、ナノホトリソグラフィ (ナノメートルサイズのホトリソグラフィ) によりアクティブ領域 4 を形成した後、厚さ 0.5 nm ~ 200 nm の第1酸化膜 6 を形成し、その上に厚さ 10 nm ~ 200 nm の窒化膜 14 を形成し、さらにその上に厚さ 5 nm ~ 500 nm の第3酸化膜 20 を形成する。第3酸化膜 20、窒化膜 14、第1酸化膜 6 及びバルクシリコン基板 2b のシリコンを食刻すると、(a) の断面構造が得られる。形成されたアクティブ領域 4 の領域の高さは 10 nm ~ 1000 nm となるようにする。この状態で、薄いパッファ酸化膜 22 を 1 nm ~ 50 nm の厚さに形成し、その上に酸化防止用窒化膜 24 を 5 nm ~ 100 nm の厚さに形成する。その上にスペーサ酸化膜 26 を 5 nm ~ 500 nm の厚さに形成し、異方性乾式食刻を行うと、スペース形態に酸化膜 26 が形成される。アクティブ領域 4 の両側面と上表面は各酸化膜 6、20、22、26 と窒化膜 14、24 で取り囲まれており、他の部分はバルクシリコン基板 2b のシリコンが露出している。バルクシリコン基板 2b のシリコンを 30 nm ~ 300 nm の厚さに等方性食刻すると、(b) の断面構造となる。

【0041】ここで、各酸化膜 20、22、26 を選択的に食刻すると同図 (c) のようになる。この状態で、フィールド酸化膜 28 を 30 nm ~ 500 nm の厚さに成長させ、窒化膜 14、24 を除去すると、(d) のような断面が得られる。結局、フィールド酸化膜 28 上に突出した塀状のアクティブ領域 4 の高さは 5 nm ~ 300 nm となる。(d) は、形成されたアクティブ領域 4 にゲート酸化膜 12 を成長させた断面を示す。ゲート酸化膜 12 を形成する前、突出したアクティブ領域 4 の側壁を清浄化し、先行工程による損傷を除去するため、犠牲酸化膜を成長させて除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことが好ましい。以後の後続工程は図 9 (d)、図 10 (d) 又は図 11 (d) に示すものと同一である。

【0042】(第5実施例) 図 13 は本発明の第5実施例により FET 素子のボディ構造を具現する工程を示す断面図である。ここでは、スペーサ 30 の形成と酸化膜 28 の成長技術を導入して具現する主要工程を示す。図 12 とは、スペーサ 30 を構成する物質のみが異なる。図 13 (a) に示すように、ナノホトリソグラフィによりアクティブ領域 4 を形成した後、厚さ 0.5 nm ~ 200 nm の第1酸化膜 6 を形成し、その上に厚さ 10 nm ~ 200 nm の窒化膜 14 を形成し、その上に厚さ 5 nm ~ 500 nm の第3酸化膜 20 を形成する。第3酸化膜 20、窒化膜 14、第1酸化膜 6 及びバルクシリコン基板 2b のシリコンを食刻すると、(a) の断面構造が得られる。形成されたアクティブ領域 4 の高さは 10

nm~1000nmとなるようにする。この状態で、薄いパッファ酸化膜22を1nm~20nmの厚さに形成し、その上に酸化防止用窒化膜24を5nm~50nmの厚さに形成する。その上にスペーサ30物質でポリシリコン又は非晶形シリコンで5nm~500nmの厚さに形成し、異方性乾式食刻を行うと、スペーサ30が形成される。この構造は(b)に示され、のスペーサ30(図13(b))とスペーサ酸化膜26(図12(b))はその物質が相違する。

【0043】図13(b)に示すように、スペーサ30の物質としてポリシリコン又は非晶形シリコンを使っているが、これは、図12(b)においては、スペーサ酸化膜26を食刻するとき、酸化防止用窒化膜24の下にあるパッファ酸化膜22が食刻され、以後のフィールド酸化膜28の成長に悪い影響を及ぼすので、その影響を防止するためである。また、ポリシリコン又は非晶形シリコンは高濃度でドーピングされることもできる。図13(b)において、露出したスペーサ30とバルクシリコン基板2bを食刻するため、シリコン30nm~300nmの厚さに等方性食刻すると、(c)の断面構造が得られる。この状態で、フィールド酸化膜28を30nm~500nmの厚さに成長させ、窒化膜14、24を除去すると、(d)のような断面が得られる。

【0044】結局、フィールド酸化膜28の上方に突出した領域アクティブ領域4の高さは5nm~300nmとなる。(d)は、形成されたアクティブ領域4にゲート酸化膜12を成長させた断面を示す。ゲート酸化膜12を形成する前、突出したアクティブ領域4の側壁を清浄化し、先行工程による損傷を除去するため、犠牲酸化膜を成長させて除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことが好ましい。以後の後続工程は図9(d)、図10(d)、図11(d)、又は図12(d)に示すものと同一である。

【0045】なお、本発明の特徴を列挙すれば以下のとおりである。本発明に係るダブルゲートFET素子は、バルクシリコン基板と、該バルクシリコン基板に接続され、バルクシリコン基板の上表面に単結晶シリコンで形成された塀状のアクティブ領域と、前記バルクシリコン基板の上表面から前記アクティブ領域の一定高さまで形成された第2酸化膜と、該第2酸化膜上の前記アクティブ領域の両側壁に形成されたゲート酸化膜と、前記アクティブ領域の上表面に、前記ゲート酸化膜の厚さ以上に形成された第1酸化膜と、前記第1及び第2酸化膜上に形成されるゲートと、前記ゲートと重なる前記アクティブ領域を除く前記アクティブ領域の両側に各形成されたソース及びドレインと、前記ソース、ドレイン及びゲートのコンタクト部に形成されたコンタクト領域及び金属層とを含んでなることを特徴とする。

【0046】本発明に係るダブルゲートFET素子では、前記アクティブ領域の幅が4nm~100nmであ

ることを特徴とする。本発明に係るダブルゲートFET素子では、前記アクティブ領域の前記バルクシリコン基板の上表面からの高さが10nm~1000nmであることを特徴とする。本発明に係るダブルゲートFET素子では、前記アクティブ領域の前記第2酸化膜の上表面からの高さが5nm~300nmであることを特徴とする。本発明に係るダブルゲートFET素子では、前記ゲート酸化膜の厚さは0.5nm~10nmであり、前記第1酸化膜の厚さは0.5nm~200nmであることを特徴とする。本発明に係るダブルゲートFET素子では、前記第2酸化膜の厚さが20nm~800nmであることを特徴とする。本発明に係るダブルゲートFET素子では、前記金属層と接触するコンタクト領域をアクティブ領域の幅又はゲートの長さより大きくしてあることを特徴とする。

【0047】本発明に係るダブルゲートFET素子では、前記ソース及びドレインは、ゲートと重なるアクティブ領域を除くアクティブ領域の両側に、ゲートと自己整列形態で形成された選択的エピタキシャル層を成長させたものであることを特徴とする。本発明に係るダブルゲートFET素子では、前記選択的エピタキシャル層は、前記ゲートを $10^{20} \text{ cm}^{-3}$ 以上でドーピングされた状態で湿式酸化し、ゲートの酸化比がアクティブ領域より大きいことを用いて、成長した酸化膜を一部食刻し、アクティブ領域の側壁に露出したシリコンを種子としたものであることを特徴とする。本発明に係るダブルゲートFET素子では、前記選択的エピタキシャル層は、前記ゲートに絶縁膜を形成し、この絶縁膜の厚さと前記第2酸化膜上に突出したアクティブ領域の高さだけ異方性食刻し、アクティブ領域とゲートが交差する付近を除く露出したアクティブ領域のシリコンとゲートのポリシリコンを種子としたものであることを特徴とする。本発明に係るダブルゲートFET素子では、前記選択的エピタキシャル層の物質は、単結晶シリコン、単結晶SiGe、単結晶Ge、ポリシリコン及びポリSiGeの中から選択される一つ以上であることを特徴とする。

【0048】本発明に係るダブルゲートFET素子では、前記アクティブ領域に形成されるソース及びドレインのためのドーピングの接合深さが、第2酸化膜の上表面を基準にして、上方に0nm~50nmであることを特徴とする。本発明に係るダブルゲートFET素子では、前記アクティブ領域に形成されるソース及びドレインのためのドーピングの接合深さが、第2酸化膜の上表面を基準にして、前記バルクシリコン基板側に0nm~50nmであることを特徴とする。本発明に係るダブルゲートFET素子では、前記アクティブ領域の幅がバルクシリコン基板に近くなるほど第2酸化膜内で大きくしてあることを特徴とする。本発明に係るダブルゲートFET素子では、前記アクティブ領域は、上部の幅は小さく、下部の幅は大きいくさび形であることを特徴とす

る。本発明に係るダブルゲートFET素子では、前記アクティブ領域の両側上部角部が、酸化工程、食刻工程又は水素雰囲気でのアニーリングにより丸く形成されることを特徴とする。

【0049】本発明に係るダブルゲートFET素子の製造方法は、バルクシリコン基板に単結晶シリコンで塀状のアクティブ領域を形成する工程と、前記バルクシリコン基板の上表面からアクティブ領域の一定高さまで第2酸化膜を形成する工程と、前記第2酸化膜上に形成されたアクティブ領域の両側壁にゲート酸化膜を形成する工程と、前記アクティブ領域の上表面にゲート酸化膜の厚さ以上の第1酸化膜を形成する工程と、前記第1、2酸化膜上にゲートを形成する工程と、前記ゲートに重なるアクティブ領域を除くアクティブ領域の両側にソース及びドレインを形成する工程と、前記ソース、ドレイン及びゲートのコンタクト部にコンタクト領域及び金属層を形成する工程とを含んでなることを特徴とする。

【0050】本発明に係るダブルゲートFET素子の製造方法では、前記アクティブ領域及び第2酸化膜を形成する工程は、前記バルクシリコン基板の上表面にホトリソグラフィを行う工程と、前記アクティブ領域を除くバルクシリコン基板の残りの上表面に第2酸化膜を形成し、前記第2酸化膜をケミカルメカニカルポリッシングを用いて平坦化した後、アクティブ領域の上表面から下方に適正の厚さだけ食刻する工程とを含むことを特徴とする。本発明に係るダブルゲートFET素子の製造方法では、前記アクティブ領域及び第2酸化膜を形成する工程は、第2酸化膜を形成し、ホトリソグラフィにより前記第2酸化膜に幅の小さいトレンチを形成してトレンチの底がバルクシリコン基板まで接するようにし、トレンチの底に露出したバルクシリコン基板のシリコンを種子として選択的エピタキシャル層を成長させる工程と、前記第2酸化膜を適正の厚さだけ食刻する工程とを含むことを特徴とする。

【0051】本発明に係るダブルゲートFET素子の製造方法では、前記第2酸化膜を形成する工程はフィールド酸化膜を形成する工程を含み、前記アクティブ領域を形成する工程は、前記バルクシリコン基板上にホトリソグラフィを行い、その上部に第1酸化膜/窒化膜/第3酸化膜を順次形成し、前記第3酸化膜/窒化膜/第1酸化膜とバルクシリコン基板のシリコンを食刻する工程を含み、前記フィールド酸化膜を形成する工程は、前記バルクシリコン基板及びアクティブ領域にバッファ酸化膜/酸化防止用窒化膜/スペーサを形成して食刻を行い、これにより露出した前記バルクシリコン基板のシリコンを食刻し、前記スペーサを除去した状態でバルクシリコン基板を熱酸化させてフィールド酸化膜を成長させた後、バッファ酸化膜と酸化防止用窒化膜を除去する工程を含むことを特徴とする。本発明に係るダブルゲートFET素子の製造方法では、前記スペーサの物質はポリシ

リコン又は非晶形シリコンであることを特徴とする。

【0052】本発明に係るダブルゲートFET素子の製造方法では、前記ゲート酸化膜を形成する前に、突出したアクティブ領域の側壁を清浄化し、先行工程による損傷を除去するため、犠牲酸化膜を成長させてから除去した後、窒素又はアルゴンの雰囲気中でアニーリングを行うことを特徴とする。本発明に係るダブルゲートFET素子の製造方法では、前記ゲートを形成する工程は、ポリシリコン、ポリSiGe及び金属のいずれかで層を形成し、この層にホトリソグラフィを行う工程を含むことを特徴とする。

【0053】

【発明の効果】以上に詳述した如く、本発明によると、バルクウェーハを用いて、低廉にゲートと自己整列されるようにソース及びドレインにエピタキシャル層を形成して寄生抵抗成分を減らすことができ、塀状のシリコン構造物であるアクティブ領域はチャンネルが形成されるボディであって、バルクウェーハに接続されることにより、フローティングボディの問題を解決することができる。とともに、熱伝導性に優れて素子の特性を向上させることができる。

【図面の簡単な説明】

【図1】従来のダブルゲート構造において、電流が流れるチャンネルの方向を100ウェーハ表面を基準として簡略に示す斜視図である。

【図2】従来のFET素子の要部構造を示すもので、半透明とハッチングにより示す斜視図である。

【図3】本発明によるFET素子の要部構造を示すもので、半透明とハッチングにより示す斜視図である。

【図4】図3(a)の斜視図及びそのパターンを示す平面図である。

【図5】本発明の他の実施例によるFET素子構造を示す斜視図及びそのパターンを示す平面図である。

【図6】図4(a)に示す構造を具現するためのマスクング過程を示す平面図である。

【図7】図4の斜視図での平面図及びチャンネルを中心に水平と垂直方向に切断した断面図である。

【図8】図5の斜視図での平面図及びチャンネルを中心に水平と垂直方向に切断した断面図である。

【図9】本発明の第1実施例によりFET素子のボディ構造を具現する工程を示す断面図である。

【図10】本発明の第2実施例によりFET素子のボディ構造を具現する工程を示す断面図である。

【図11】本発明の第3実施例によりFET素子のボディ構造を具現する工程を示す断面図である。

【図12】本発明の第4実施例によりFET素子のボディ構造を具現する工程を示す断面図である。

【図13】本発明の第5実施例によりFET素子のボディ構造を具現する工程を示す断面図である。

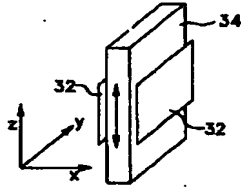
【符号の説明】

19

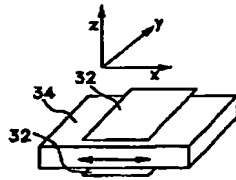
- 2 b バルクシリコン基板
- 4 アクティブ領域
- 6 第1酸化膜
- 10 第2酸化膜
- 12 ゲート酸化膜

【図 1】

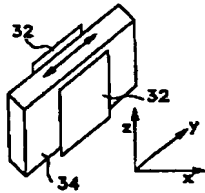
(a)



(b)



(c)

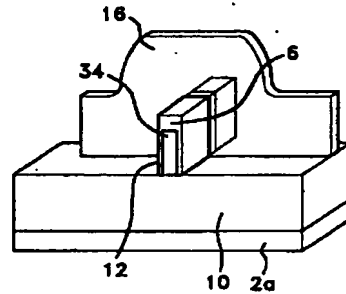


20

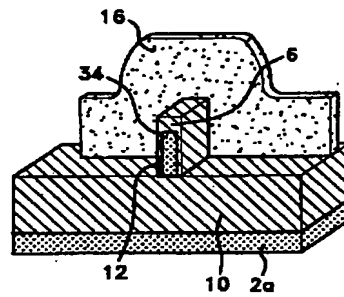
- 16 ゲート
- 18 選択的エピタキシャル層
- 46 コンタクト領域
- 48 金属層

【図 2】

(a)

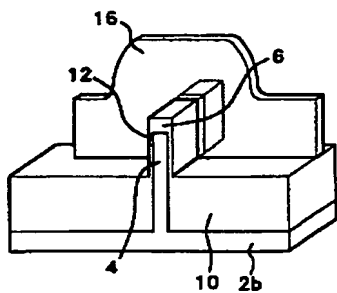


(b)

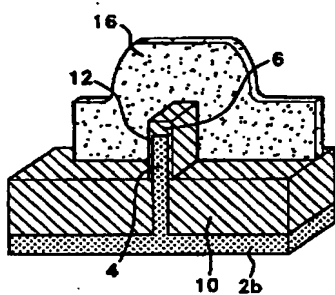


【図3】

(a)

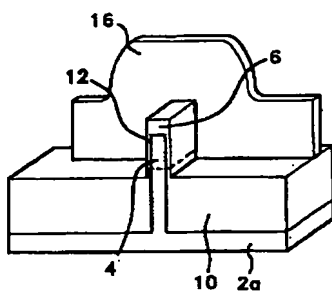


(b)

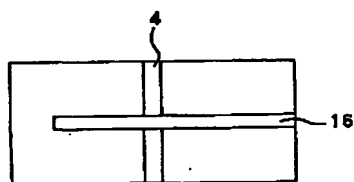


【図4】

(a)

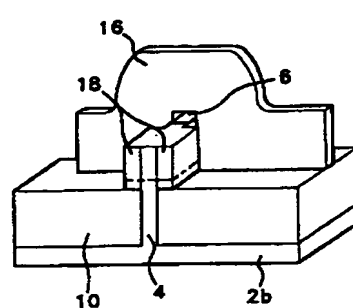


(b)

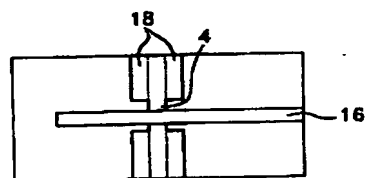


【図5】

(a)

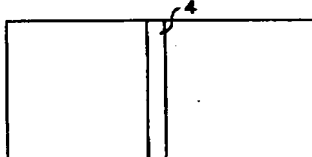


(b)

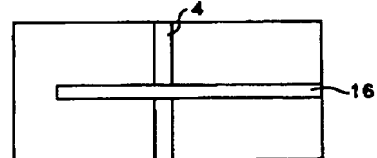


【図6】

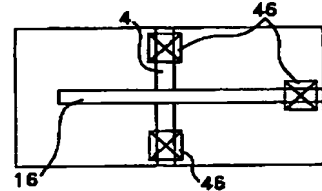
(a)



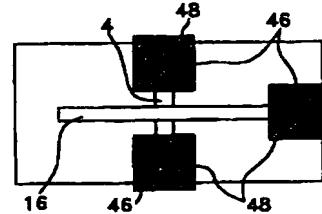
(b)



(c)

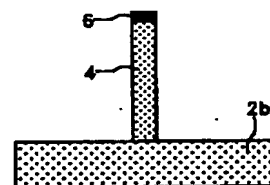


(d)

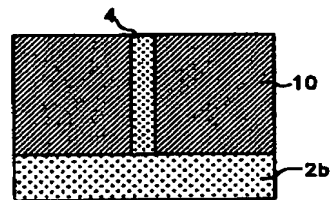


【図9】

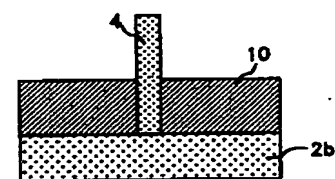
(a)



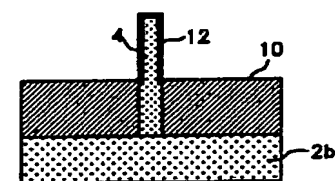
(b)



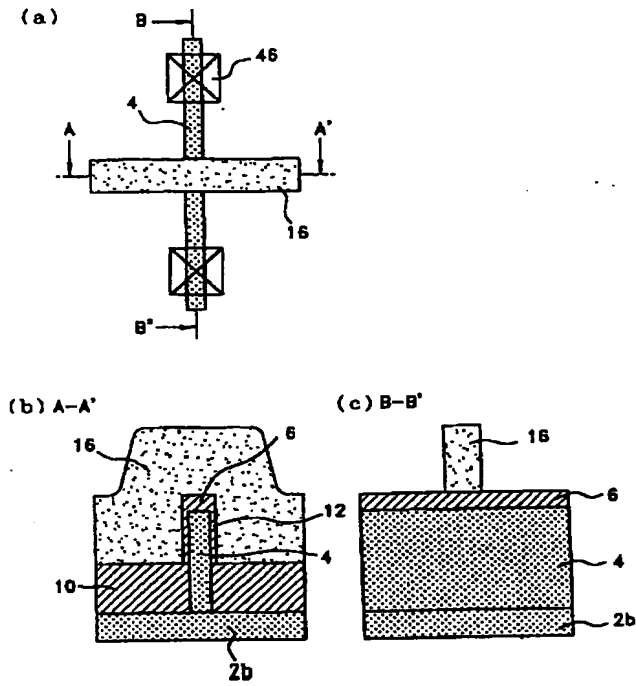
(c)



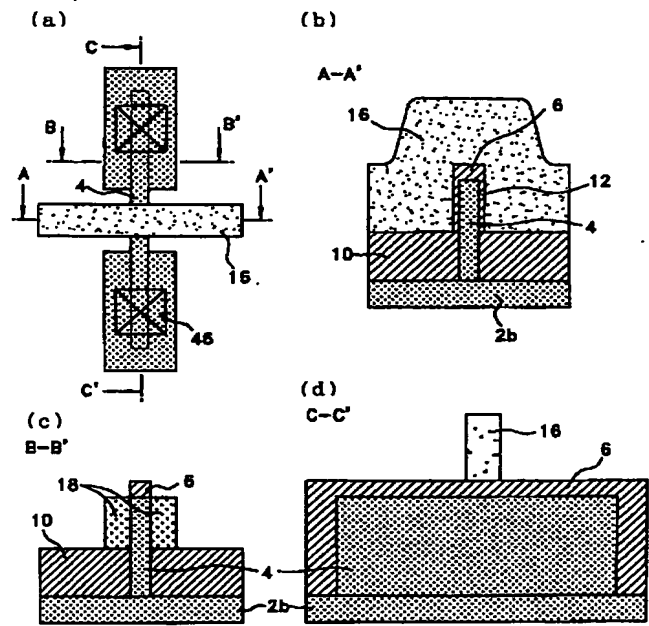
(d)



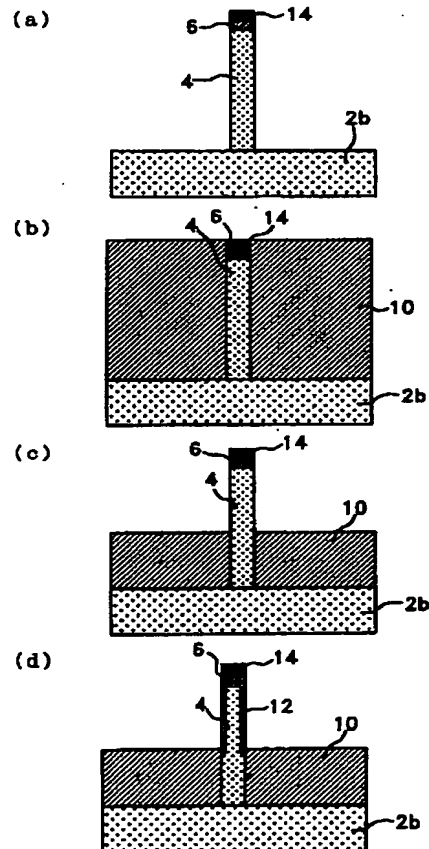
【図 7】



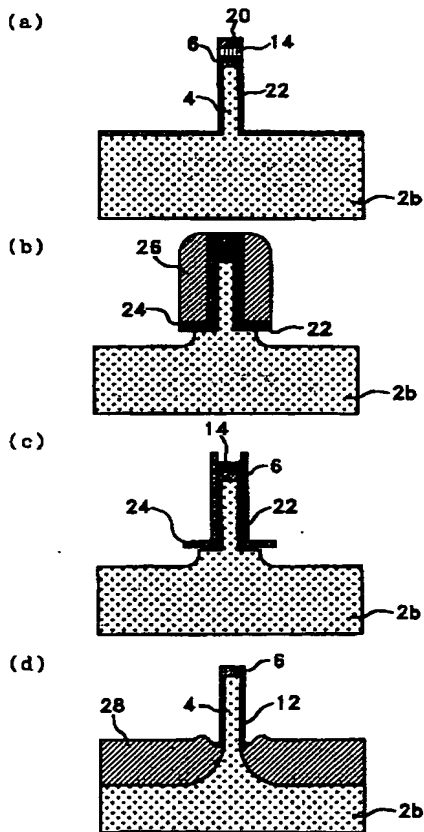
【図 8】



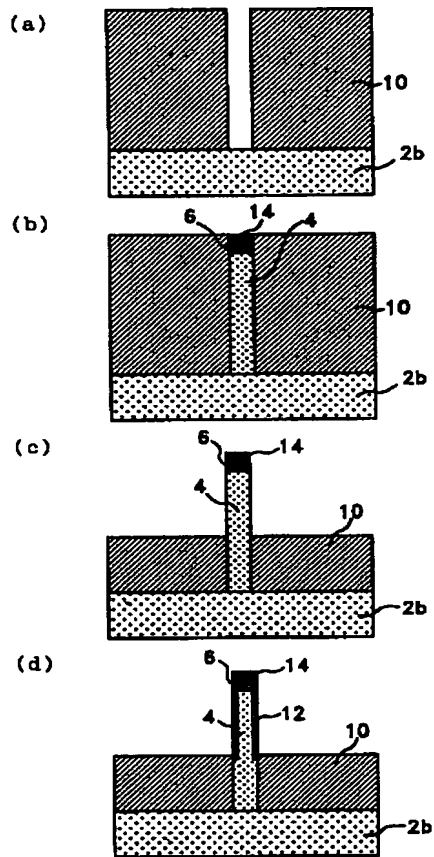
【図 10】



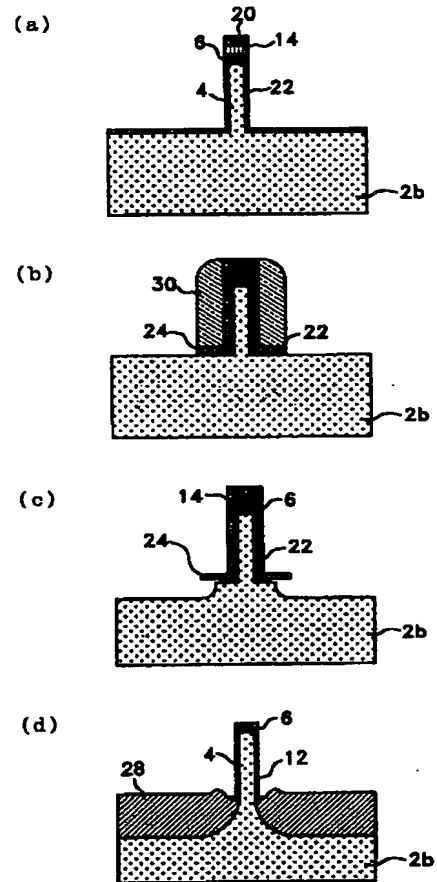
【図 12】



【図11】



【図13】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
H O I L 29/44

テーマコード(参考)

S

F ターム(参考) 4M104 AA01 BB01 BB04 BB36 BB40  
CC01 CC05 DD16 DD31 DD64  
DD65 GG09 GG10 GG14 HH12  
HH14 HH15 HH16 HH18  
5F140 AA21 AA34 AA39 BA01 BA20  
BB05 BC13 BC15 BE01 BE02  
BE03 BE07 BF01 BF04 BF05  
BF42 BH02 BH05 BH08 BJ05  
BK18 CE07